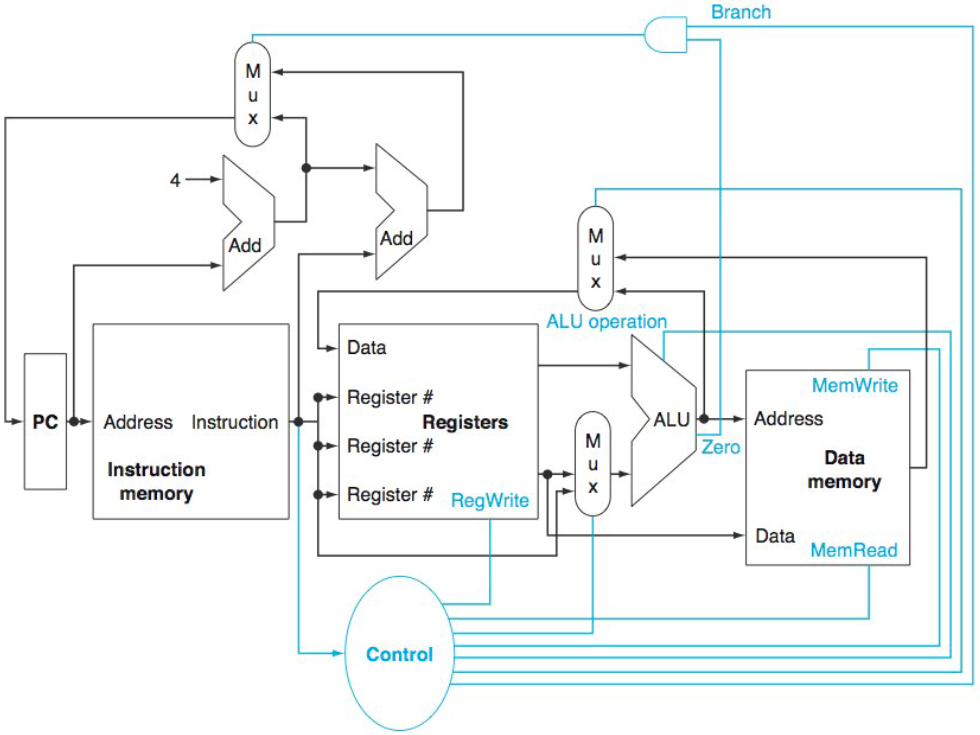
MIPS单周期部分作业

1. 在基本的单周期MIPS实现中，不同的指令使用不同的硬件单元。根据如下指令回答下列3个问题

|  |  |  |
| --- | --- | --- |
|  | **指令** | **解释** |
| **a** | add Rd,Rs,Rt | Reg[Rd]=Reg[Rs]+Reg[Rt] |
| **b** | lw Rt,Offs(Rs) | Reg[Rt]=Mem[Reg[Rs]+Offs] |

1. 对上述指令而言，图1中的控制单元要产生哪些控制信号？
2. 对上述指令而言，要用到哪些功能单元？
3. 哪些功能单元会产生输出，但输出不会被以上指令用到？对以上指令而言，哪些功能单元不产生任何输出？
4. 假设题一图中各单元的延迟时间如下表所示，请计算lw指令的最小延迟。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **指令**  **存储器** | **加法器** | **多选器** | **ALU** | **寄存器堆** | **数据**  **存储器** | **控制** |
| **a** | 400ps | 100ps | 30ps | 120ps | 200ps | 350ps | 100ps |
| **b** | 500ps | 150ps | 100ps | 180ps | 220ps | 1000ps | 65ps |



题一图

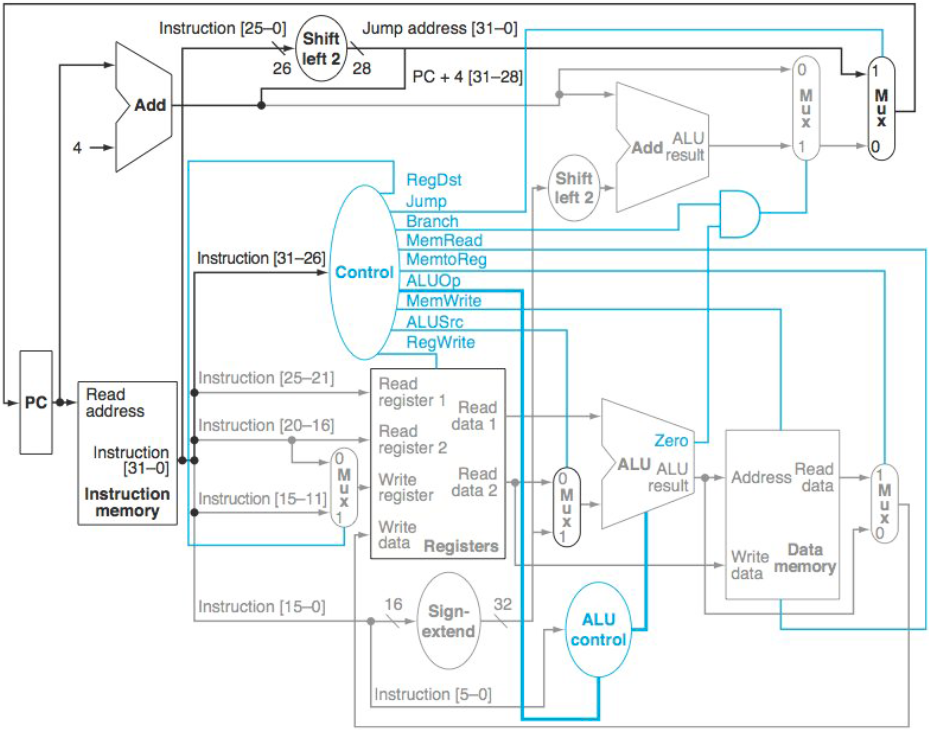
1. 题一图中基本的单周期MIPS实现仅能实现某些指令。可以在这个指令集中加入新的指令，但决定是否加入取决于给处理器的数据通路和数据通路增加的复杂度。对于下表中的新指令而言，试回答下列3个问题。

|  |  |  |
| --- | --- | --- |
|  | **指令** | **解释** |
| a | add3 Rd,Rs,Rt,Rx | Reg[Rd]=Reg[Rs]+Reg[Rt]+Reg[Rx] |
| b | sll Rt,Rd,Shift | Reg[Rd]=Reg[Rt]<<Shift(左移) |

1. 对上述指令而言，哪些已有的单元还可以被使用？
2. 对上述指令而言，还需要增加哪些功能单元？
3. 为了支持这些指令，需要在控制单元增加哪些信号？
4. 本题讨论数据通路中不同的单元延迟对整个数据通路时钟周期的影响，以及指令如何利用不同的数据通路单元。根据下面的两种延迟情况，分别回答下列问题。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **指令**  **存储器** | **加法器** | **多选器** | **ALU** | **寄存器堆** | **数据**  **存储器** | **符号扩展** | **左移两位** |
| **a** | 400ps | 100ps | 30ps | 120ps | 200ps | 350ps | 20ps | 0ps |
| **b** | 500ps | 150ps | 100ps | 180ps | 220ps | 1000ps | 90ps | 20ps |

1. 如果仅需支持ALU类指令(如add、and等)，处理器的时钟周期是多少？
2. 如果仅需支持lw类指令，时钟周期是多少？
3. 如果必须支持add、beq、lw和sw指令，时钟周期是多少？
4. 针对题四图中的数据通路，假设仅需支持lw、sw、beq、add和j(jump)指令，请写出控制单元中实现RegDst、RegWrite和MemRead三个控制信号的逻辑表达式。



题四图